

# 1. ОСНОВНЫЕ ПЕРЕКЛЮЧАТЕЛЬНЫЕ (ЛОГИЧЕСКИЕ) ФУНКЦИИ

В переключательной алгебре переменная имеет только два значения, которые обычно называются логическим нулём и логической единицей. Эти нуль и единица не имеют арифметического значения, они символизируют собой два состояния, которые принимает переменная, в технических реализациях переключательной системы им могут соответствовать два различающихся физических состояния, например, включено – выключено, высокий потенциал – низкий потенциал, высокое сопротивление цепи – низкое сопротивление цепи. В качестве обозначений этих состояний приняты привычные символы 0 и 1.

Существуют три основные операции между логическими переменными: конъюнкция, дизъюнкция и инверсия.

**Конъюнкция (И):**  $y = x_1 \wedge x_2 = x_1 \cdot x_2 = x_1x_2$  (читается «у равносильно  $x_1$  И  $x_2$ »)

**Дизъюнкция (ИЛИ):**  $y = x_1 \vee x_2 = x_1 + x_2$  (читается «у равносильно  $x_1$  ИЛИ  $x_2$ »)

**Инверсия (НЕ):**  $y = \bar{x}$  (читается «у равносильно НЕ  $x$ »).

Применительно к логическим операциям существуют следующие основные теоремы.

Коммутативный закон:  $x_1x_2 = x_2x_1$ ;  $x_1 + x_2 = x_2 + x_1$ .

Ассоциативный закон:  $x_1(x_2x_3) = (x_1x_2)x_3$ ;

$$x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3.$$

Операции с 0 и 1:

Дистрибутивный закон:  $x_1(x_2 + x_3) = x_1x_2 + x_1x_3$

$$x \cdot 1 = x; \quad x + 0 = x;$$

$$x_1 + x_2x_3 = (x_1 + x_2)(x_1 + x_3).$$

$$x \cdot 0 = 0; \quad x + 1 = 1;$$

Законы инверсии:  $\overline{x_1x_2} = \bar{x}_1 + \bar{x}_2$ ;  $\overline{x_1 + x_2} = \bar{x}_1\bar{x}_2$ ;  $\overline{(\bar{x})} = x$ .

$$\bar{0} = 1; \quad \bar{1} = 0;$$

Имеют место следующие равносильности.

$$x \cdot \bar{x} = 0; \quad x + \bar{x} = 1.$$

Правило склеивания:  $x_1(x_1 + x_2) = x_1$ ;  $x_1 + x_1x_2 = x_1$ .

Правило повторения:  $xx=x$ ;  $x+x=x$ .



Рис.1. Представление логической переменной в виде контакта

Простейшим способом реализации логической переменной является контакт, рис.1.

Если условиться, что разомкнутый контакт (малая проводимость) эквивалентен логическому нулю, а замкнутый (большая проводимость) – логической единице, то контакт реализует переменную  $x$ , если он замкнут при  $x = 1$ , и переменную  $\bar{x}$ , если он разомкнут при  $x = 1$ .

Если два контакта включить последовательно, как на рис.2, и проводимость этой цепи обозначить  $y$ , то проводимость всей цепи будет большой, если замкнуты оба контакта, т.е.  $x_1$  и  $x_2$  будут равносильны единице:  $y = x_1x_2$ .

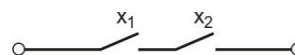


Рис.2. Конъюнкция, реализованная в последовательно включённых контактах

Таким образом, последовательное включение замыкающих контактов реализует функцию И. Если

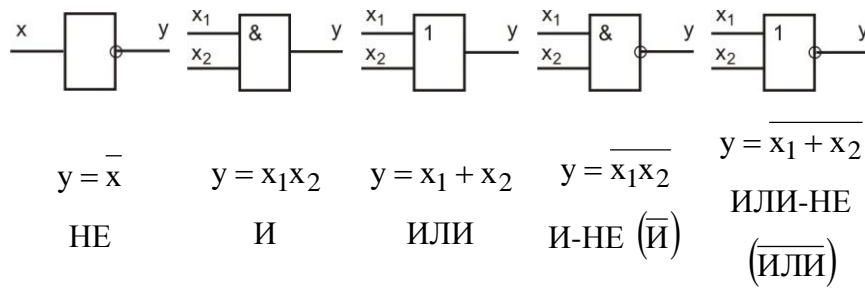


Рис.3. Символические обозначения логических схем

контакты включить параллельно, будет получена функция ИЛИ.

Основные логические функции могут быть реализованы с помощью электронных схем, так называемых логических элементов. Уровень выходного

напряжения определяется уровнями напряжений на входах и реализованной в элементе логической функцией. Для реализации одной и той же функции имеется большое число различных схем. Для упрощения изображения схем используют символы логических схем, показанные на рис.3. Подключение питания условно не показывается.

## 2. СПОСОБЫ ЗАДАНИЯ ПЕРЕКЛЮЧАТЕЛЬНЫХ ФУНКЦИЙ

Пример таблицы истинности

строка	$x_1$	$x_2$	$x_3$	$y$
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	1
5	0	0	1	0
6	1	0	1	1
7	0	1	1	1
8	1	1	1	1

В строках 4,6,7 переменная  $y$  принимает состояние 1, в остальных строках – состояние 0. Составим константы для строк 4,6 и 7:  
 строка 4:  $x_1 x_2 \bar{x}_3$ ;  
 строка 6:  $x_1 \bar{x}_2 x_3$ ;  
 строка 7:  $\bar{x}_1 x_2 x_3$

В процессе синтеза переключательных схем задача формулируется в форме таблицы истинности, которая является самым наглядным, но не самым компактным способом задания переключательных функций. Для каждой переключательной функции таблица истинности имеет  $2^n$  строк, где  $n$  – число входных переменных,  $n$  колонок для входных переменных и колонку для функции. В

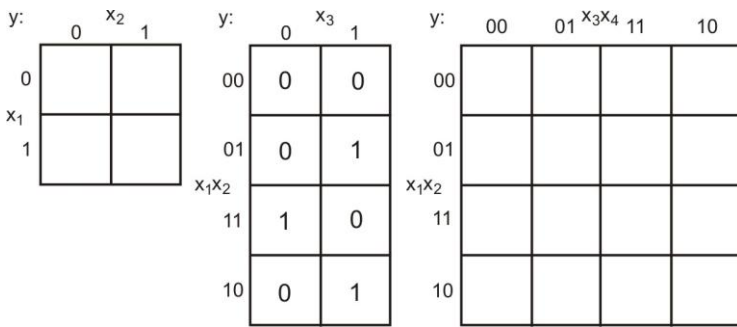
строках таблицы истинности в колонках для переменной записывают все возможные комбинации этих переменных, а в колонке функции – состояние этой функции, которое она должна принимать при каждой комбинации переменных. Логические функции по таблице истинности записывают, как правило, в совершенной дизъюнктивной нормальной форме – сокращённо СДНФ (нормальная форма – форма записи без скобок).

*Задача.* Имеется три независимых входных сигнала  $x_1$ ,  $x_2$  и  $x_3$ , выходной сигнал – функция  $y$ . Если два любых входных сигнала принимают состояние 1, функция  $y$  также должна принимать состояние 1.

Составим таблицу истинности. При трёх входных сигналах число строк таблицы истинности должно быть равно  $2^3 = 8$ . Запишем таблицу истинности.

Искомая функция записывается в виде дизъюнкции этих конstituентов:

$$y = x_1 x_2 \bar{x}_3 + x_1 \bar{x}_2 x_3 + x_1 x_2 x_3.$$



Более компактной формой записи истинности является её двухкоординатная запись в виде матрицы Карно. Способ записи матрицы Карно для функции  $y$  при двух, трёх и четырёх входных рис.4.

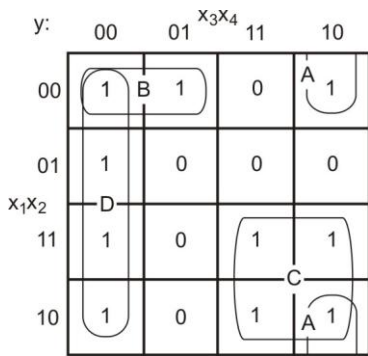
Рис.4. Матрицы Карно при двух, трёх

и четырёх входных переменных; матрица Карно при трёх переменных заполнена для рассмотренной задачи

Порядок размещения различных комбинаций состояний входных переменных по столбцам и строкам матрицы выбран таким образом, чтобы при переходе от одной ячейки матрицы к соседней изменялась лишь одна переменная (состояния размещены в коде Грея). Матрица Карно может быть скручена в трубочку как по горизонтали, так и по вертикали, при этом свойство логического соседства сохраняется. Кроме матрицы Карно применяется другие, например, диаграммы Хассе, Аженхурста, Тихонова.

### 3. УПРОЩЕНИЕ ПЕРЕКЛЮЧАТЕЛЬНЫХ ФУНКЦИЙ

Имеется много способов упрощения переключательных функций, ручных и машинных. Рассмотрим простой и наглядный способ упрощения в матрице Карно. Пусть переключательная функция задана в виде СДНФ в матрице Карно (рис.5).



В ячейке, стоящей в верхнем левом углу расположен конstituент  $K_1$  :

$$K_1 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4.$$

В стоящей рядом с ней справа ячейке находится логически соседний конstituент  $K_2$  :  $K_2 = \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4$ .

В СДНФ, являющейся дизъюнкцией всех десяти конstituентов, встретится и такой фрагмент:  $K_1 + K_2 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 + \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4$ .

Он упрощается следующим образом с использованием равносильностей:

$$K_1 + K_2 = \bar{x}_1 \bar{x}_2 \bar{x}_3 (\bar{x}_4 + x_4) = \bar{x}_1 \bar{x}_2 \bar{x}_3 (1) = \bar{x}_1 \bar{x}_2 \bar{x}_3.$$

Рис.6.5. Матрица Карно к примеру упрощения функции  $y$

Отсюда следует общее правило упрощения переключательных функций, заданных матрицей Карно.

Если в двух, четырёх, восьми и т.д. соседних ячейках, ограниченных прямоугольным контуром в виде квадрата или прямоугольника, стоят только единицы, все они являются логически соседними по одной, двум, трём и т.д. переменным, и можно записывать непосредственно конъюнкцию для всей этой

группы, в которую должны войти лишь те входные переменные, которые остаются неизменными в пределах всех ячеек данной группы.

Т.о., в этом примере конъюнкция для группы В, состоящей из 2 ячеек, будет такая:  $K_B = \bar{x}_1 \bar{x}_2 \bar{x}_3$ , что соответствует ранее полученному результату. В одну группу связываются также те ячейки, которые находятся на левом и правом краях одной строки, в верхней и нижней ячейках одного столбца.

Для столбца D, состоящего из четырёх ячеек, можно записать:  $K_D = \bar{x}_3 \bar{x}_4$ .

Для квадратного контура С из четырёх ячеек получим:  $K_C = x_1 x_3$ .

Осталась одна неохваченная контуром единица в крайней верхней правой ячейке. Её можно связать, например, с единицей, находящейся в крайней нижней правой ячейке, тогда получим:  $K_A = \bar{x}_2 x_3 \bar{x}_4$ .

Но можно заметить, что в каждом углу имеется по единице, которые можно связать в квадрат, свернув матрицу одновременно по горизонтали и вертикали, и тогда получим более простую запись:  $K'_A = \bar{x}_2 \bar{x}_4$ .

Теперь для дизъюнктивной нормальной формы получим максимально упрощённый результат:

$$y = K_B + K_D + K_C + K'_A = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_3 \bar{x}_4 + x_1 x_3 + \bar{x}_2 \bar{x}_4.$$

# Интегральные триггеры

## 1. Принцип работы

Выходной сигнал основных логических схем И, ИЛИ, И-НЕ, ИЛИ-НЕ и других определен тем, какие сигналы приложены к входам в рассматриваемый момент времени. В противоположность им бистабильные схемы обладают свойством запоминания. В рассматриваемый момент времени состояние на их выходах может быть определено приложенными входными сигналами и/или состоянием на входах, имевшимся перед этим моментом времени. Другими словами, состояние на выходах, вызванное в момент времени  $t$  соответствующими входными сигналами, сохранится и тогда, когда входные сигналы исчезнут или изменятся.

Такие схемы называют схемами последовательного действия или секвенциальными. Их отличительной чертой является наличие обратной связи с выхода на вход. Простейшей такой схемой является наличие обратной связи с выхода на вход. Простейшей такой схемой является триггер, для которого характерна смена совершенно определенных состояний на выходах.

Триггер характеризуется такими свойствами.

Оба состояния на выходах стабильны. Смена состояний есть следствие появления определенного сигнала или комбинации выходных сигналов. Это означает, что состояние на выходе может остаться неизменным несмотря на изменение входных сигналов.

## 2. Построение схем триггеров

В общем случае для построения триггера применяется или два элемента И-НЕ, или два элемента ИЛИ-НЕ с перекрестными положительными обратными связями. Такая схема симметрична. Каждый из элементов осуществляет поворот фазы сигнала на  $180^\circ$ , поворот фазы сигнала составляет, следовательно,  $360^\circ$ . Если на выходе  $Q_1$  имеется сигнал 1, на выходе  $Q_2$  имеется сигнал 0, т.е. выходные сигналы инверсны. Примечания.

1. Для обозначения выходов равноупотребительны обозначения  $Q_1$  и  $Q_2$ ,  $Q$  и  $\bar{Q}$ .
2. В дальнейшем изложении рассматривается исключительно позитивная логика.

### 2.1. И-НЕ-триггер

Триггер построен из двух элементов И-НЕ, рис. 1. Для элемента И-НЕ действительно условие: на выходной клемме элемента И-НЕ напряжение, пропорциональное сигналу 0, появляется только тогда, когда ко всем входным клеммам приложены напряжения, пропорциональные сигналу 1.

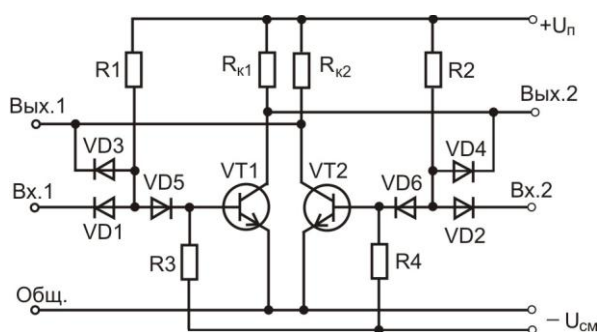


Рис. 1. Схема И-НЕ триггера. Входы и выходы на рисунке размещены так, что на 1 на каком-либо входе вызывает появление 1 на выходе с тем же номером

Для схемы на рис. 7.1 это условие выполняется. Так, если на Вых.1 имеется сигнал  $+U_n$ , диоды  $VD1$  и  $VD3$  заперты, база транзистора  $VT1$  через  $R1$  и  $VD5$  получает положительное смещение, так что транзистор  $VT1$  становится проводящим, и на выходной клемме  $Вых.2$  устанавливается напряжение 0 В.

Переключение из одного состояния в другое протекает следующим образом. Пусть в качестве примера исходным состоянием будет уже рассмотренное, а именно, транзистор VT1 проводит, а транзистор VT2 заперт, т.е.

ко входу Vx.1 приложено $+U_{п}$ VT1 проводит на Вых.2 0 В	ко входу Vx.2 приложено 0 В VT2 заперт на Вых. 1 $+U_{п}$ .
--	---

Если теперь приложить ко Vx.1 0 В, а к Vx.2  $+U_{п}$ , то VD1 будет проводить, и к базе VT1 будет приложено напряжение смещения  $-U_{см}$ , вследствие чего VT1 заперётся, и Вых.2 получит напряжение  $+U_{п}$ . В результате оба диода VD2 и VD4 будут запертыми, и через R3, VD6 база VT2 получит положительное смещение. Транзистор VT2 станет проводить, и напряжение на Вых.1 станет равным 0 В.

*И-НЕ-триггер переключается только сигналом 0 на одном из входов (табл. 1).*

Таблица 1 Таблица состояний И-НЕ-триггера

Vx.2	Vx.1	Вых.1	Вых.2
0	0	1	1
0	1	1	0
1	0	0	1
1	1	«Память»	
Примечание: «Память» означает, что состояние не меняется, а удерживается предыдущее состояние			

Если транзисторные элементы И-НЕ на рис. 1 заменить их символами, получится блок-схема, изображённая на рис. 2.

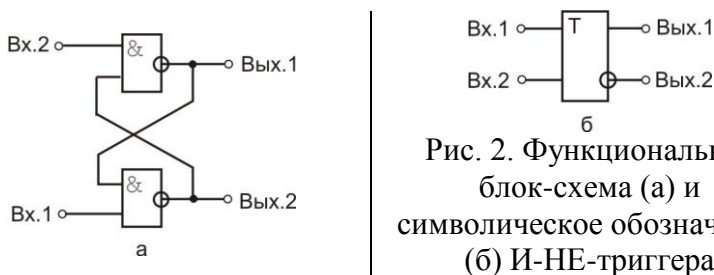


Рис. 2. Функциональная блок-схема (а) и символическое обозначение (б) И-НЕ-триггера

## 2.2. ИЛИ-НЕ-триггер

Этот триггер сделан из двух элементов ИЛИ-НЕ (рис. 3). Условия работы схемы ИЛИ-НЕ таковы: напряжение, пропорциональное сигналу 0 на выходной клемме элемента ИЛИ-НЕ, возникает тогда, когда хотя бы на одной входной клемме имеется напряжение, пропорциональное 1. Эти условия выполняются для схемы на рис.7.3. Действительно, если ко Vx.1 приложено напряжение  $U_{п}$ , база транзистора VT1 получает положительное смещение, транзистор переходит в проводящее состояние, и напряжение на Вых.2 становится равным 0 В.

В результате VT2 станет проводить, и напряжение на Вых.1 станет равным 0 В. Теперь напряжение  $-U_{см}$  через R2 действует на базу VT1 и запирает его, так что на Вых.2 возникает напряжение  $+U_{п}$ , пропорциональное сигналу 1.

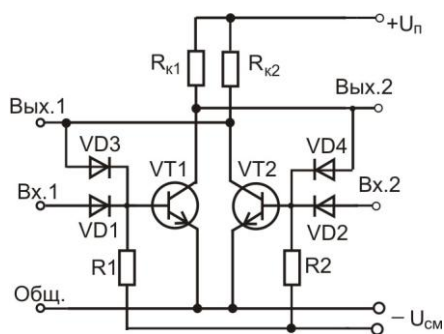


Рис.3. Схема ИЛИ-НЕ-триггера. Расположение входов и выходов на рисунке такое же, что и на схеме И-НЕ-триггера

Переключение во второе стабильное состояние происходит так. Пусть на Вх.1 станет 0 В, на Вх.2  $+U_{п}$ . Транзистор VT2 получит на базе положительное смещение, потому что VD4 заперт, так как на Вых.2 ещё имеется напряжение 0В.

В результате VT2 станет проводить, и напряжение на Вых.1 станет равным 0 В. Теперь напряжение  $-U_{см}$  через R2 действует на базу VT1 и запирает его, так что на Вых.2 возникает напряжение  $+U_{п}$ , пропорциональное сигналу 1.

*ИЛИ-НЕ-триггер переключается только сигналом 1 на одном из входов (табл. 2).*

Таблица 2 Таблица состояний ИЛИ-НЕ-триггера

Вх.2	Вх.1	Вых.1	Вых.2
0	0	«Память»	
1	0	0	1
0	1	1	0
1	1	0	0

Блок-схема ИЛИ-НЕ-триггера представлена на рис. 4.

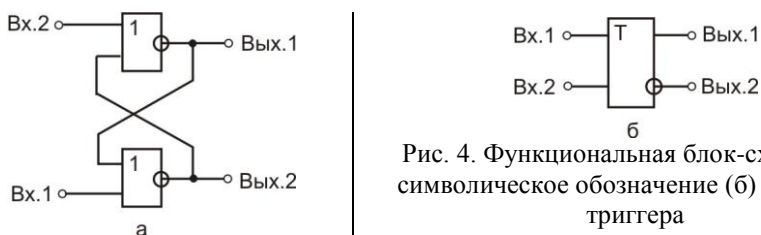


Рис. 4. Функциональная блок-схема (а) и символическое обозначение (б) ИЛИ-НЕ-триггера

### 3. Входные схемы

Различают входные схемы, работающие статически и динамически.

В случае статически работающих входных схем имеется связь по постоянному току между источником сигнала и управляемым элементом. Динамически работающая входная схема отзывается на скачок напряжения при переходе из одного состояния сигнала в другое. Эта реакция может вызываться переходом  $0 \rightarrow 1$  (нарастающий или передний фронт единичного импульса) или переходом  $1 \rightarrow 0$  (спад единичного импульса или задний фронт). Для работы входной схемы существенна скорость такого перехода. Такие динамические входы называются импульсными или триггерными входами. Их задача уже достаточно ясна из самого названия “триггерный”, однако лучше всего пояснить её на простом примере.

Динамически работающая входная схема, изображённая на рис.5, имеет два входа:

статический управляющий или информационный вход G,  
динамический или импульсный вход C.

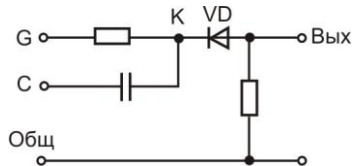


Рис. 5 Импульсная входная схема для отрицательного выходного импульса

Выходное напряжение схемы зависит от состояния на G и от скорости изменения напряжения, представляющего дискретный сигнал на входе C, т.е. от  $du/dt$ . Временные диаграммы напряжений в различных точках схемы приведены на рис. 7.6. Если ко входу G приложен сигнал 1, диод VD заперт; наоборот, диод VD проводит, если на входе G имеется сигнал 0 (0 В). Скачок напряжения на входе C по переднему фронту при переходе  $0 \rightarrow 1$  запирает VD, скачок  $1 \rightarrow 0$  по заднему фронту вызывает на Вых. (для  $G = 0$ ) переключающий импульс отрицательной полярности.

При иной конфигурации схемы может быть сформирован переключающий импульс по переднему фронту сигнала C.

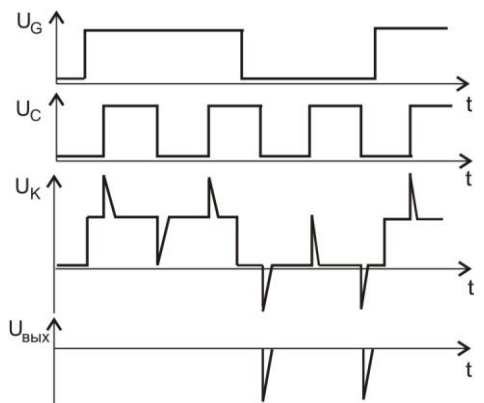


Рис.6. Временная диаграмма напряжений (сигналов) в отдельных точках импульсной входной схемы по рис.5

Импульсная схема входит как составная часть в схемы триггеров и схемотехнически реализуется не обязательно так, как изображено на рис. 7.5. Обычно в контуре символа триггера для импульсного C-входа выделяется отдельное поле. Для обозначения этого входа применяют различные специальные символы, наиболее употребительные из которых приведены на рис. 7.

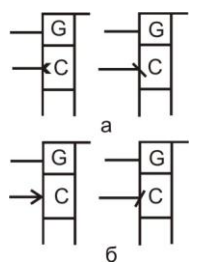


Рис. 7 Символы для обозначений входной импульсной схемы:  
а) для переключающего импульса схемы вырабатываемого по заднему фронту;  
б) для переключающего импульса схемы вырабатываемого по переднему фронту.

#### 4. Асинхронная и синхронная работа триггеров в переключательных схемах

Одиночный триггер без дополнительных входных импульсных схем переключается тотчас же после подачи входного сигнала. В общем случае имеется некоторая, обычно не мешающая временная задержка. Эта задержка, однако, нежелательна, если в переключательной схеме триггеры в цепях должны быть включены последовательно и параллельно. Так, например, в цепи последовательно соединённых триггеров они будут переключаться не одновременно, а только друг за другом (асинхронная работа).



Это затруднение устранимо, если каждый триггер снабжён импульсной входной схемой. Эти схемы должны управляться тактовыми импульсами так, чтобы все триггеры переключались одновременно в заданный момент времени (синхронная работа).

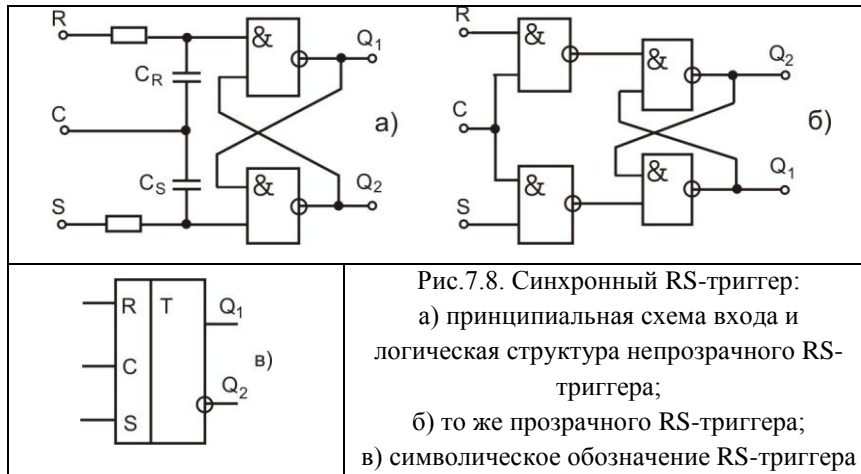
Информационные входы должны обладать ещё и свойством запоминания, т.е. на них информационный сигнал должен запоминаться так надолго, пока тактовый импульс не переключит триггер.

Заметим также, что время между двумя тактовыми импульсами должно быть больше времени задержки срабатывания триггеров в рассматриваемых каскадах.

## 5. Виды триггеров

### 5.1. RS-триггер (называемый также SR-триггером)

Обозначение SR происходит от начальных букв слов set = устанавливать и reset = гасить. Схема этого триггера состоит из двух частей: из И-НЕ-триггера и дополнительной схемы для информационных входов R и S и тактового входа C. Пример такого триггера приведён на рис.7.8а. Триггер запускается отрицательным импульсом, формируемым импульсной входной схемой, следовательно, переключается по срезу единичного тактового сигнала C.



Резисторы, включённые последовательно со входами R и S, настолько велики, что при подаче на любой из этих входов напряжения 0 В входной ток соответствующей последующей схемы И-НЕ недостаточен для её переключения в состояние 1.

Если ко входу R приложено напряжение 0 В, ко входу S  $+U_n$ , и импульс на входе C изменяется от 0 В до  $+U_n$  (фронт импульса), конденсатор  $C_R$  зарядится, а конденсатор  $C_S$  разрядится (так как к обеим его обкладкам приложено  $+U_n$ ). При обратном скачке тактового импульса на 0 В (срез импульса) на выходе верхнего элемента И-НЕ кратковременно будет иметься напряжение  $-U_n$ , и И-НЕ-триггер переключится. Преимущество тактированной работы триггера состоит не только в том, что процесс переключения происходит в определённые моменты времени, как это требуется для синхронного режима работы, но и в том, что уменьшается склонность триггера к переключению от сигнала помехи на информационном входе; помеха может сыграть свою роль, только если она действует в момент переключения.

Синхронная работа триггеров в переключательной системе может быть достигнута не только с помощью импульсной входной схемы, но и с помощью предвключения логической схемы на потенциальных элементах, реализующей для информационного и тактового входных сигналов логическую функцию И или И-НЕ. Пример построения такого RS-триггера приведён на рис.7.8б.

При  $C = 0$  И-НЕ-триггер отключается от информационных входов S и R и находится в режиме хранения информации.

При  $C = 1$  схема работает как обычный И-НЕ-триггер, однако для инверсных входных сигналов.

В синхронном режиме этот триггер в отличие от схемы по рис. 7.8 а переключается по фронту единичного тактового сигнала С.

Особенностью этого триггера является то, что в течение времени, когда  $C = 1$ , изменение информации на R и S входах приводит к изменению информации на выходах триггера. Говорят, что схема *прозрачна* или *проницаема* по R и S входам при  $C = 1$ . Соответственно схема по рис. 7.8 а *непрозрачна (непроницаема)* по R и S входам.

В рассмотренном RS-триггере по рис. 7.8 б комбинация сигналов  $R = S = 1$  должна быть исключена. В случае появления такой комбинации триггер после окончания тактового импульса будет иметь неопределённое состояние (в RS-триггере на элементах ИЛИ-НЕ должна быть запрещена комбинация  $R = S = 0$ ). Для исключения этой неопределённости, если комбинация сигналов  $R = S = 1$  всё же возможна, применяют RS-триггеры R-, S-, E-типа (рис. 7.9).

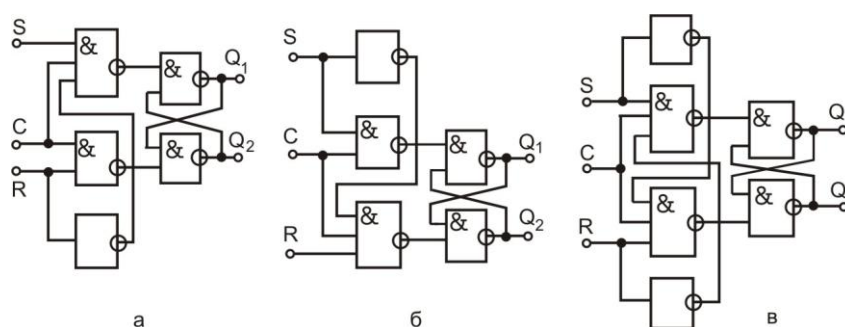


Рис.7.9. Варианты построения RS-триггера: а) RS-триггер R-типа; б) RS-триггер S-типа; в) RS-триггер E-типа;

RS-триггер R-типа представляет собой логическое устройство с памятью и информационными входами R и S, принимающее нулевое состояние при комбинации  $R = S = 1$ . При всех остальных комбинациях входных сигналов триггер R-типа функционирует как RS-триггер. При поступлении же этой комбинации на вход RS-триггера S-типа он устанавливается в положение 1; триггер E-типа при такой же комбинации не изменяет своё состояние.

## 5.2. Характеристическое уравнение триггера

Характеристическое уравнение триггера данного типа позволяет найти состояние на выходе этого триггера  $Q_1^*$  в такте n+1 как функцию состояний на его информационных входах и на выходе  $Q_1$  в такте n. Характеристическое уравнение может быть получено на основе таблицы истинности, описывающей поведение триггера.

Для примера составим Характеристическое уравнение RS-триггера S-типа, построенного на элементах И-НЕ. Таблица истинности этого триггера приведена в табл.7.3.

Таблица 7.3 - Таблица истинности непрозрачного RS-триггера

Q	R	S	Q*
0	0	0	0
1	0	0	1
0	1	0	0
1	1	0	0
0	0	1	1
1	0	1	1
0	1	1	1
1	1	1	1

Заполним по этой таблице матрицу Карно функции  $Q^*$

		RS			
		00	01	11	10
Q	0		1	1	
	1		1	1	

и упростим выражение. Окончательно получим:

$$Q_1^* = S + \bar{R}Q_1$$

### 5.3. D-триггер

Название триггера идёт от английского слова delay = задерживать. У этого триггера имеется только один информационный вход. Как показано на рис. 7.10а, вход D соединён со входом S напрямую, а со входом R через инвертор. Любая информация, поданная на вход D, при ближайшем следующем тактовом импульсе будет запомнена в триггере.

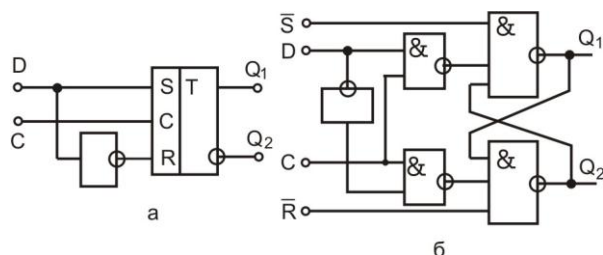


Рис. 7.10. D-триггер:

- а) логическая структура;
- б) триггер на потенциальных элементах

D-триггер может быть построен как на базе тактированного RS-триггера по рис. 7.8 а с дополнительным инвертором на входах (рис. 7.10а), так и на базе логических элементов И-НЕ (рис. 7.10 б). Действие D-триггеров по рис. 7.10а и рис. 7.10б различно.

D-триггер по рис. 7.10 а после смены информации на входе D переключается в момент окончания импульса на входе C, следующего за моментом смены информации на входе D.

D-триггер по рис. 7.10 б после смены информации на входе D переключается в момент начала импульса на тактовом входе C, следующего за моментом смены информации на входе D.

D-триггер работает как счётный триггер, если его инверсный выход  $Q_2$  соединён со входом D. D-триггер находит применение в сдвигающих регистрах, счётчиках, а также в любых случаях, когда требуется создание задержки.

### 5.4. T-триггер

«Т» в названии триггера происходит от английского слова toggle = перескакивающий. Логическая структура T-триггера приведена на рис. 7.11а, а символическое обозначение – на рис. 7.11б.

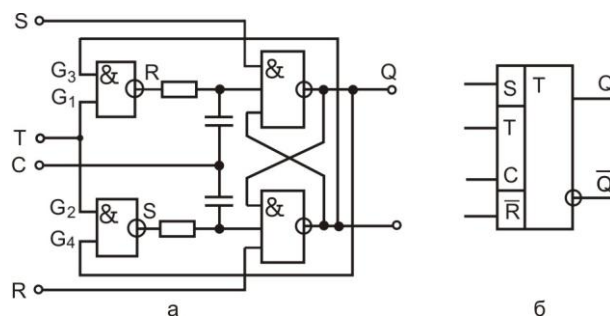


Рис.7.11. Т-триггер: а) логическая структура; б) символ

Работает Т-триггер так. Если на входе Т имеется сигнал 0, выходное состояние не изменяется. Если на Т подать сигнал 1, триггер будет перекидываться из одного стабильного состояния в другое по срезу каждого тактового импульса.

На рис. 7.11 показаны также входы предустановки  $\bar{S}$  и  $\bar{R}$ , воздействующие на окончательный каскад схемы триггера. Входы предустановки имеют наивысший приоритет среди входных сигналов триггера. Подавая логический 0 на  $\bar{S}$  или  $\bar{R}$ , можно устанавливать триггер в состояние соответственно Q или  $\bar{Q}$  вне зависимости от состояния на остальных входах. Это используют для задания начальных условий работы триггеров в переключательной схеме. Во время работы схемы на входы предустановки должна быть подана логическая 1. Входами предустановки снабжаются и триггеры других типов, например, D-триггер, изображённый на рис. 7.10б.

Т-триггер используется в счётных схемах. Так как после каждого второго импульса Т-триггер вновь оказывается в исходном состоянии, его применяют также для деления частоты тактовых импульсов на 2.

### 5.5. JK-триггер

Название триггера образовано от начальных букв английских слов jerk = резко толкать и kick = брыкать.

JK-триггер представляет собой запоминающий элемент с очень широкими возможностями применения. Он построен так же как Т-триггер, с тем отличием, что оба информационных входа  $G_1$  и  $G_2$  не объединены в один вход Т, а выведены порознь. Это даёт возможность получить на базе одного элемента следующие триггеры:

Т-триггер, если объединить входы J и K (рис. 7.12а);

RS-триггер, если входы J и K использовать порознь (рис.7.12б);

D-триггер, если использовать инвертор (рис. 7.12в).

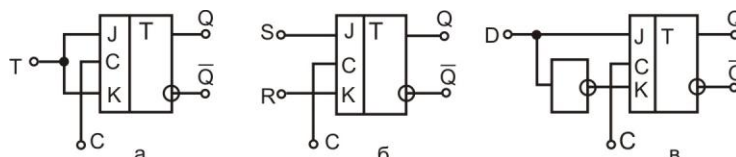


Рис.7.12. JK-триггер, применяемый как: а) Т-триггер; б) RS-триггер; в) D-триггер

## 5.6. JK-MS-триггер

JK-триггер, изготовленный в виде монолитной интегральной схемы, обычно имеет некоторые схемотехнические особенности. В этой технике большие трудности вызывает изготовление конденсаторов для схем триггерных входов. Поэтому для достижения требуемых логических связей между информационными и тактовым сигналами обычно используют другой путь, а именно, применяют схемы триггеров, состоящие из двух ступеней (рис. 7.13):

главный триггер – вспомогательный триггер

или

хозяин (master) – раб (slave).

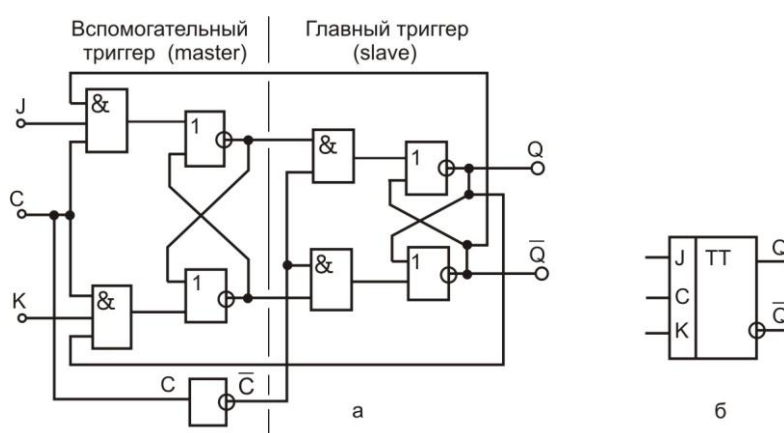


Рис.7.13. JK-MS-триггер: а) функциональная схема; б) символ

В главный триггер информация со входа поступает за два шага. Первый шаг осуществляется при значении тактового импульса 1, и информация записывается во вспомогательный триггер. После того как тактовый импульс сменит своё значение на 0, следует второй шаг, и информация поступает в главный триггер. При этом к крутизне фронтов тактовых импульсов не предъявляется особых требований.

По схеме двухступенного триггера изготавливаются и другие типы триггеров. О таком построении триггеров на принципиальных схемах свидетельствуют две буквы Т в символическом обозначении триггера, как это показано на рис. 7.13б. MS-триггеры непрозрачны.